

10/535366

PCT/JP03/14718

日本国特許庁  
JAPAN PATENT OFFICE

19.11.03

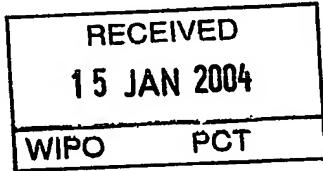
別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2002年11月20日

出願番号  
Application Number: 特願2002-336252

[ST. 10/C]: [JP 2002-336252]



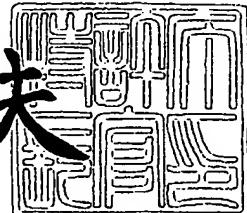
出願人  
Applicant(s): ソニー株式会社

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年12月25日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証特2003-3107120

【書類名】 特許願  
【整理番号】 0290607002  
【提出日】 平成14年11月20日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04N 05/335  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 阿部 高志  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 中村 信男  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 梅田 智之  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 馬渕 圭司  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 藤田 博明  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 船津 英一

**【発明者】**

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・  
エルエスアイ・デザイン株式会社内

【氏名】 佐藤 弘樹

**【特許出願人】**

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

**【代理人】**

【識別番号】 100089875

**【弁理士】**

【氏名又は名称】 野田 茂

【電話番号】 03-3266-1667

**【手数料の表示】**

【予納台帳番号】 042712

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010713

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域部と、前記各画素を選択するための信号配線とを有し、

前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、各光電変換素子から読み出された信号量を増幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、

前記増幅手段を駆動する信号配線は全画素共通に配線される全面選択信号配線よりなり、前記全面選択信号配線を駆動することにより各画素からの信号を読み出す、

ことを特徴とする固体撮像装置。

【請求項 2】 前記増幅手段の入力部をリセットするリセット手段を有することを特徴とする請求項1記載の固体撮像装置。

【請求項 3】 前記リセット手段を駆動する信号配線は前記全面選択信号配線よりなり、前記全面選択信号配線を駆動することにより各増幅手段の入力部をリセットすることを特徴とする請求項2記載の固体撮像装置。

【請求項 4】 前記単位セルを前記撮像領域部の各画素列毎に1画素分または1画素未満分ずつ列方向にずらして配置したことを特徴とする請求項1記載の固体撮像装置。

【請求項 5】 前記リセット手段と増幅手段を駆動する前記全面選択信号配線の全面選択信号が前記画素の読み出し動作期間外にアクティブからノンアクティブに遷移することを特徴とする請求項2記載の固体撮像装置。

【請求項 6】 前記リセット手段がトランジスタよりなり、前記画素の読み出し期間中に前記全面選択信号配線の全面選択信号がアクティブに遷移され、前記リセット手段のゲートに入力されるリセット信号がノンアクティブに遷移され、前記転送手段への駆動信号がアクティブに遷移され、光電変換素子に蓄積され

た電荷信号の読み出しを行うことを特徴とする請求項2記載の固体撮像装置。

【請求項7】 所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域部と、前記各画素を選択するための信号配線とを有し、

前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、各光電変換素子から読み出された信号量を増幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、

前記単位セルの各光電変換素子が斜め方向に隣接して配置されている、ことを特徴とする固体撮像装置。

【請求項8】 前記斜め方向に隣接する各光電変換素子が、水平方向または垂直方向に1画素未満分ずれて配置されていることを特徴とする請求項7記載の固体撮像装置。

【請求項9】 前記増幅手段を駆動する信号配線は全画素共通に配線される全面選択信号配線よりなり、前記全面選択信号配線を駆動することにより各画素からの信号を読み出すことを特徴とする請求項7記載の固体撮像装置。

【請求項10】 前記増幅手段の入力部をリセットするリセット手段を有することを特徴とする請求項9記載の固体撮像装置。

【請求項11】 前記リセット手段を駆動する信号配線は前記全面選択信号配線よりなり、前記全面選択信号配線を駆動することにより各増幅手段の入力部をリセットすることを特徴とする請求項10記載の固体撮像装置。

【請求項12】 前記撮像領域部の各画素からの出力信号を2つの出力系統に分けて読み出すことを特徴とする請求項7記載の固体撮像装置。

【請求項13】 前記撮像領域部にRGBのペイヤ方式によるカラーフィルタが設けられ、Gでフィルタリングされた各画素からの読み出しを同一の出力系統を介して行うようにしたことを特徴とする請求項12記載の固体撮像装置。

【請求項14】 前記リセット手段と増幅手段を駆動する前記全面選択信号配線の全面選択信号が前記画素の読み出し動作期間外にアクティブからノンアクティブに遷移することを特徴とする請求項10記載の固体撮像装置。

【請求項15】 前記リセット手段がトランジスタよりなり、前記画素の読み出し期間中に前記全面選択信号配線の全面選択信号がアクティブに遷移され、前記リセット手段のゲートに入力されるリセット信号がノンアクティブに遷移され、前記転送手段への駆動信号がアクティブに遷移され、光電変換素子に蓄積された電荷信号の読み出しを行うことを特徴とする請求項10記載の固体撮像装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、2次元配列された複数の単位画素毎に光電変換素子と複数の画素トランジスタを設けたCMOSイメージセンサ等の固体撮像装置に関する。

##### 【0002】

##### 【従来の技術】

図8は、従来のCMOSイメージセンサで用いられる画素構造の一例を示す回路図である。

図示の例において、各画素は、1つの光電変換素子1と、複数のトランジスタ2、3、4、6により構成されている。

光電変換素子1は、光を受け、信号電荷を蓄積するものであり、フォトダイオード等が用いられる。

また、トランジスタ2は信号電荷増幅用のトランジスタであり、トランジスタ3は光電変換素子1に蓄積された信号電荷を増幅トランジスタ2のゲート電極部に転送するための転送トランジスタである。

また、トランジスタ4は増幅トランジスタ2のゲート電極電位をリセットするためのリセットトランジスタである。

##### 【0003】

また、信号線5は電源電位供給線であり、リセットトランジスタ4と増幅トランジスタ2のドレインは共に電源電位供給線5に接続されている。

また、トランジスタ6は出力画素を選択するための選択トランジスタであり、信号線7は画素信号を出力するための画素出力線である。

また、画素外のトランジスタ8は画素出力線に定電流を供給するためのトランジスタであり、選択された画素の増幅トランジスタ2に定電流を供給し、増幅トランジスタ2をソースフォロアとして動作させ、増幅トランジスタ2のゲート電位とある一定の電圧差を持つ電位が画素出力線7に表れるようになっている。

また、信号線9は転送トランジスタ3のゲート電位を制御するための転送信号配線である。信号線10はリセットトランジスタ4のゲート電位を制御するためのリセット信号配線である。信号線11は選択トランジスタ6のゲート電位を制御するための選択信号線である。信号線12は定電流供給トランジスタ8がある一定の電流を供給するような飽和領域動作をするよう、ゲートに一定の電位を供給するための定電位供給線である。

#### 【0004】

また、端子13は各行の転送信号配線9に転送パルスを供給するパルス端子であり、行選択用AND素子14の一方の入力端に接続されている。また、行選択用AND素子14のもう一方の入力端には、垂直選択手段15からの出力が接続されており、行選択用AND素子14の出力端は転送信号配線9に接続されている。

端子16は各行のリセット信号配線10にリセットパルスを供給するためのパルス端子で、行選択用AND素子17の一方の入力端に接続されている。行選択用AND素子17のもう一方の入力端には、垂直選択手段15からの出力が接続されており、行選択用AND素子17の出力端はリセット信号配線10に接続されている。

端子18は各行の選択信号配線11に選択パルスを供給するためのパルス端子であり、行選択用AND素子19の入力端に接続されている。行選択用AND素子19のもう一方の入力端には、垂直選択手段15からの出力が接続されており、19の出力端は選択信号配線11に接続されている。

このような構成により、垂直選択手段15によって選択された行の各信号配線にのみ各制御パルスが供給される。

#### 【0005】

各画素からの読み出し動作は、図9に示すような駆動信号を加えて、以下のよ

うにして行う。

なお、図9における選択信号は図8の選択信号配線11に与える信号を表し、リセット信号はリセット信号配線10に与える信号を表し、転送信号は転送信号配線9に与える信号を表している。

まず、読み出しを行う画素行の選択トランジスタ6と、リセットトランジスタ4を導通状態にして増幅トランジスタ2のゲート電極部をリセットする。リセットトランジスタ4を非導通にした後、各画素のリセットレベルに対応した電圧を後段のCDS（相関二重サンプリング）回路20に読み出しておく。

#### 【0006】

次に、転送トランジスタ3を導通状態にし、光電変換素子1に蓄積された電荷を増幅トランジスタ2のゲート電極部に転送する。転送終了後、転送トランジスタ3を非導通状態にした後、蓄積されていた電荷量に応じた信号レベルの電圧を後段のCDS回路20に読み出す。

CDS回路20では、先に読み出しておいたリセットレベルと信号レベルの差を取り、画素毎の読み出しトランジスタの閾値( $V_{th}$ )バラツキ等により発生する固定的なパターンノイズをキャンセルする。

CDS回路20に蓄積された信号は列選択手段21によって選択されると、水平信号線22を通ってAGC等の後段の回路へ読み出されて処理される。

#### 【0007】

以上のように、CMOSイメージセンサでは、1画素中には光電変換素子の他に、光電変換素子に蓄積された電荷を読み出すための各種のトランジスタと制御信号配線を設けることが必要とされる。

そのため、単純な画素構造を持つCCDイメージセンサに比べ、画素縮小化が困難であった。

そこで、これまで画素回路の駆動法を変えることにより、例えば図10に示すように、選択トランジスタをなくし、画素構成を単純化するようなものが提案されている（例えば、特許文献1参照）。

#### 【0008】

あるいは、例えば図11に示すように、複数の光電変換素子からの読み出しに

1つの増幅トランジスタを共用するようなものが提案されている（例えば、特許文献2参照）。

すなわち、図11に示す画素は、隣接する画素の2つの光電変換素子1の出力を転送トランジスタ3を介して1つの増幅トランジスタ2のゲート電極部に接続したものであり、転送トランジスタ3及びリセットトランジスタ4の順次制御によって2つの画素信号を増幅トランジスタ2より出力する。

なお、増幅トランジスタ2のゲート電極部には容量23が接続され、容量キック用配線24によってキックパルスが供給され、ゲート電極部における電位が制御できる構成となっている。

#### 【0009】

##### 【特許文献1】

特開2002-077731号公報

##### 【特許文献2】

国際公開WO97/07630号公報

#### 【0010】

##### 【発明が解決しようとする課題】

上述した図11に示す従来技術では、増幅トランジスタを共有化することにより、1画素中の素子数が減り、画素サイズの縮小化を図ることは可能であるが、図8や図10に示した単位セル（単位セル中に含まれる画素数が1つのもの）では、画素アレイ中の全ての画素が同一の形状であったのに対し、図11に示すような単位セル（増幅トランジスタを共有化した画素の組）を並べて構成した画素アレイは、2種類の画素で構成されることになる。

したがって、2種類の画素間で素子形状が異なるため、両者の間で感度、飽和等の特性に差異が生じる。

例えばRGBのベイヤ方式で色コーディングした際に、同じGでコーディングされた画素でも、行により画素特性が異なってしまうため、一枚の画として見ると横縞が発生するという問題が考えられる。

この問題は、図11に示す単位セルのみの問題ではなく、トランジスタ数や構成によらず、画素間でのトランジスタの共有化に伴う問題である。

### 【0011】

また、従来の読み出し方式では、例えば各画素からCDS回路に取り出された信号出力が1つの出力系統（水平信号線、AGC、ADC等）で処理されてデジタル信号に変換され、その後、このデジタル信号を内部回路及び外部回路で処理して取り出すようになっていた。

しかし、近年では、より高速でサンプリングを行えるような固体撮像素子が求められているため、図12に示すように、各画素からCDS回路に読み出された信号出力を2つの出力系統に分けて処理する手法が考えられている。

すなわち、図12は、CMOSイメージセンサの全体構成例を示しており、上述した画素アレイよりなるセンサ部111と、垂直駆動回路112と、シャッタ駆動回路113と、CDS回路114と、水平駆動回路115と、タイミングジェネレータ116と、AGC回路117A、117B、ADC回路118A、118B等を有し、2系統の水平信号線119A、119B、AGC回路117A、117B、ADC回路118A、118Bによって信号を出力する構成となっている。

### 【0012】

このように出力系統を2つに分けることにより、水平信号線1本にかかる負荷が半分になり、従来の1出力系統のものに対し、倍の速度で読み出しを行うことが可能になる。

しかし、2つの出力系統内の各素子の特性を全く同一にすることは、プロセス上不可能である。すなわち、出力系統にはAGC、ADC等のアナログ回路が含まれており、そのゲイン、ノイズ特性等が異なることから、全く同じ信号を入力したとしても、信号処理後の信号は微妙に異なることになる。

特に、ここで問題にしている固体撮像素子では、画素からの信号として、数[mV]～0.数[mV]レベルの微小なアナログ信号を取り扱うため、出力系統間の特性の違いは非常に大きな問題となる。

### 【0013】

例えば、図13は、ベイヤ方式での色フィルタを施した撮像素子からの読み出し信号を2出力系統で行った様子を示す説明図である。

図示のようにペイヤ配列では、R画素とG<sub>r</sub>画素とを交互に配置したRG行と、G<sub>b</sub>画素とB画素とを交互に配置したGB行とが隣接して配置されている。

そして、図13に示すRG行（第n行目）からの読み出しは、R画素が出力系Aを経由して読み出され、G<sub>r</sub>画素からは出力系Bを経由して読み出される。

また、図13に示す次のGB行（第n+1行目）からの読み出しは、G<sub>b</sub>画素からの信号は出力系Aを、B画素からは出力系Bを経由して行われる。

つまり、R画素とG<sub>b</sub>画素からの信号は出力系Aを介して読み出され、B画素とG<sub>r</sub>画素からの信号は出力系Bを介して読み出される。

そして、このようなR、G、Bそれぞれの画素からの信号は、後段で色のバランスを整えるような信号処理を色別に加えられるため、それぞれ出力系統による微小な差が加わっていても、それ程問題とはならない。

しかし、同じG画素として扱われるG<sub>r</sub>、G<sub>b</sub>が違う出力系統で処理されることにより微小な差を持つと、行方向に周期的な信号の差が生じるため、一枚の画で見た際に横筋となって見える恐れがある。

#### 【0014】

そこで本発明の目的は、画素構成の簡素化によって画素の縮小を図ることができ、また複数系統の出力構成とした場合の画素間のばらつきを抑制できる固体撮像装置を提供することにある。

#### 【0015】

##### 【課題を解決するための手段】

本発明は前記目的を達成するため、所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域部と、前記各画素を選択するための信号配線とを有し、前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、各光電変換素子から読み出された信号量を增幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、前記増幅手段を駆動する信号配線は全画素共通に配線される全面選択信号配線よりなり、前記全面選択信号配線を駆動することにより各画素からの信号を読み出すことを特徴とする。

#### 【0016】

また本発明は、前記単位セルを前記撮像領域部の各画素列毎に1画素分または1画素未満分ずつ列方向にずらして配置したことを特徴とする。

さらに本発明は、所定数の画素を1組みとして構成される複数の単位セルを2次元アレイ状に配置して構成される撮像領域部と、前記各画素を選択するための信号配線とを有し、前記単位セルは、各画素に対応する複数の光電変換素子と、前記各画素によって共有され、各光電変換素子から読み出された信号量を增幅して出力する増幅手段と、各光電変換素子からの信号を選択的に読み出して前記増幅手段に供給する転送手段とを有し、前記単位セルの各光電変換素子が斜め方向に隣接して配置されていることを特徴とする。

### 【0017】

本発明の固体撮像装置では、画素間トランジスタの共有化、全面選択信号配線の使用により、1画素あたりのトランジスタ数、信号配線数を減らすことができ、画素サイズの縮小化が可能になる。

また、画素間トランジスタ共有化での懸念点である、異なる形状の画素間の特性差や2出力系統間でのゲイン差に対しても、単位セルの配置や斜め2画素間の共有等の工夫によって、画素間、特にGでフィルタリングされた画素からの信号の特性差を抑えることができる。

### 【0018】

#### 【発明の実施の形態】

以下、本発明による固体撮像装置の実施の形態例について説明する。

本実施の形態例による固体撮像装置は、CMOSイメージセンサ等のように、各画素毎に光電変換素子と複数のトランジスタとを設け、複数の画素の2次元配列によって画素アレイを構成するとともに、各画素を駆動するための複数の信号配線を配置した構成において、画素間でトランジスタを共有し、さらに、全面選択信号配線を用いて単位セル（すなわち、トランジスタを共有した画素の組み）を構成することにより、1つの画素当たりの素子数、制御配線数を減らすことができ、画素の縮小化を図る様にしたものである。

### 【0019】

また、このような画素間トランジスタ共有型の単位セルの並べ方を変え、同色

でフィルタリングされた画素に同形状の画素を用いることにより、同色でフィルタリングされた画素の特性を揃えるようにしたものである。

さらに、斜めに隣接する画素で画素間トランジスタ共有化を行うことにより、出力系統を2つに分割した際にも、同色でフィルタリングされた画素からの読み出しを同一の出力系統で行えるようにしたものである。

### 【0020】

以下、本発明の具体的な実施例を図面を用いて説明する。

#### (第1実施例)

図1は本発明の第1実施例である上下2つの画素でトランジスタを共有する場合の画素構造を示す回路図である。

本例において、単位セルは実線30で囲まれた部分であり、この単位セル30は2つの画素31（間隔の細かい点線で囲まれた部分）、32（間隔の大きい破線で囲まれた部分）から構成されている。

この単位セル30では、上下2つの光電変換素子33、34と、それぞれに転送トランジスタ35、36と、1つのリセットトランジスタ37と、1つの増幅トランジスタ38で2つの画素が構成されている。

信号線39は、全面選択信号配線であり、各リセットトランジスタ37と増幅トランジスタ38のドレインに接続されている。

信号線40は、画素出力線であり、信号線41はリセットトランジスタ37のゲート電位を制御するためのリセット信号配線である。

信号線42は、転送トランジスタ35のゲート電位を制御するための転送信号配線である。信号線43は、転送トランジスタ36を制御するための転送信号配線である。

### 【0021】

図2は図1に示す画素構造を設けた固体撮像装置の2次元画素アレイの全体構成を示す回路図である。

固体撮像装置の受光面（2次元画素ブロック）は、この2画素を単位セルとして、これを2次元的に配列して構成している。

トランジスタ8は、画素出力線に定電流を供給するためのトランジスタであり

、選択された画素の増幅トランジスタ38に定電流を供給してソースフォロアとして動作させ、増幅トランジスタ38のゲート電位に対し、ある一定の電圧差を持つ電位が画素出力線40に表れるようになっている。

#### 【0022】

端子44は、各行の転送信号配線42、43に転送パルスを供給するパルス端子であり、行選択用AND素子45、46の一方の入力端に接続され、行選択用AND素子45、46のもう一方の入力端は垂直選択手段15からの出力に接続されている。また、行選択用AND素子45、46の出力端は転送信号配線42、43に接続されている。

端子47は、各行のリセット信号配線41にリセットパルスを供給するためのパルス端子であり、行選択用AND素子48の一方の入力端に接続され、行選択用AND素子48の出力端はリセット信号配線41に接続される。また、行選択用AND素子48のもう一方の入力端には、OR回路49の出力が接続されている。

#### 【0023】

OR回路49の入力には、上下2つの画素が存在する2行の垂直選択信号線15A、15Bがそれぞれ接続されており、2行分の信号を重ね合わせた波形が出力される。

すなわち、垂直選択手段15によって選択された行のみ、各信号パルスが入力される構造になっている。リセットトランジスタ37のゲートには、光電変換素子33、34の行の画素からの読み出しの際にパルス端子47からの信号が加えられる。なお、上記の信号配線に加え、全面選択信号配線39も駆動することにより、読み出し動作を行う。

#### 【0024】

図3は本例の画素構造において画素から信号の読み出しを行う際の各駆動信号の様子を示すタイミングチャートである。

図3に示す信号は、それぞれ読み出しを行う行に加える信号であり、全面選択信号は図2の全面選択信号配線39に、リセット信号はリセット信号配線41に、転送信号は転送信号配線42、43に加えられる信号である。

まず、図3 (a) を例に、読み出し動作について述べる。

初期状態ではリセット信号、転送信号が共にL o w (ノンアクティブ) 、全面選択信号はH i g h (アクティブ) にセットされている。

### 【0025】

次に、リセット信号がH i g h に遷移すると各画素の増幅トランジスタ38のゲート部の電位が全面選択信号のH i g h にリセットされる。ここで、リセット信号をL o w に遷移させた後、リセットレベルに応じた電位が画素出力線に読み出され、その電圧値をC D S回路に蓄積する。

次に、転送信号をH i g h に遷移させ、各光電変換素子内に蓄積された電荷を増幅トランジスタ38のゲート部に転送する。そして、転送終了後、転送信号をL o w に遷移させ、各光電変換素子に蓄積された電荷数に応じた電位を画素出力線経由でC D S回路へと読み出し、C D S回路でリセットレベルと信号レベルの差を取る。

次に、一連の読み出し動作終了後、全面選択信号をL o w に、リセット信号をH i g h に遷移させて、増幅トランジスタ38の入力部をリセットする。

### 【0026】

なお、リセットトランジスタにディプレッション型のトランジスタを用いると、増幅トランジスタの入力部のリセットを、全面選択信号をL o w にするだけで行えるため、図3 (b) に示す様な波形で駆動できる。

また、図3 (c) (d) は、図3 (a) (b) を変更したもので、全面選択信号を、読み出し動作時にのみH i g h にセットするものである。

### 【0027】

以上のような構成により、画素構造を従来に比べて簡素化することが可能である。

すなわち、図10に示した従来例の構成では、1画素あたりのトランジスタ数が3つであったのに対し、この画素構成では2つであり、信号配線数も2本から1.5本に減少している(すなわち、前面選択信号配線は遮光膜と兼用している)。

また、図11に示した従来例の構成と比べると、寄生容量以外の容量が無くな

り、1画素あたりの信号配線数も2本から1.5本に減少して、更なる画素縮小化が望める。

### 【0028】

#### (第2実施例)

上述した図11に示した従来例や第1実施例(図1)の構成例のように、2つの光電変換素子で増幅、リセットトランジスタ等を共有させる手法は、1画素あたりのトランジスタ数、信号配線数を減らせることができ、画素サイズの縮小化の面で有益である。しかし、従来技術の課題で説明したように、上下の各光電変換素子、転送ゲートを全く同じ形状、特性にすることは非常に困難である。そのため、単位セルを2次元アレイ状に並べて、ペイヤ方式の色フィルタを施した際に、2つのGフィルタが斜めに位置するために、RG行のGとGB行のGとで画素特性が異なることになる。

### 【0029】

そこで、本実施例では、図1に示した単位セルを図4に示すように、列毎に上下に1画素分ずつずらして配置する。なお、図4において、単位セルの配置が変化し、各制御配線の接続先が各行毎に異なる点以外は図2に示す構成と共通であるので、共通の構成要素については同一符号を付して個々の説明は省略する。

このような配置にすることにより、1画素あたりの信号配線数は1.5本から2本に増えることになる。しかし、その代わりに、RG行のGとGB行のGと同じ形状の画素を使用するため、第1実施例のようなケースで予想される行間のG画素特性差を防止することができる。

なお、図4に示す例では、2つの画素でトランジスタを共有し、列毎に単位セルを上下に1画素分ずらした場合を示しているが、画素数や単位セルのずれ量を変えても同様に適用が可能である。

### 【0030】

#### (第3実施例)

図5は本発明の第3実施例による画素構造を示す回路図であり、斜めに隣接する2つの光電変換素子で、リセットトランジスタ、増幅トランジスタ、リセット信号配線、全面選択信号配線を共有した例を示している。なお、図5の構成は、

図1に示すものと共通の構成要素を有し、配置だけを変化させたものであるので、共通の構成要素については同一符号を付して個々の説明は省略する。

このような単位セルを配列した受光部にペイヤ方式の色フィルタを用いると、その信号は図6（b）に示すような順番で出力される。

ここで、通常の画素構成では図6（a）の様に出力されるため、通常の信号処理、出力形式に合わせるには、図6（b）の信号を奇数、あるいは偶数行で、1画素分ずつ、ずらすような処理が必要になる。

### 【0031】

また、従来例で説明したように、通常は、各画素からの信号は、行単位でCDS回路に読み出され、その後、列選択手段により選択された列の信号が水平信号線を通り、後段のAGC等で処理されて外部へと取り出されていく。

そして、図12で述べたように、従来は1系統であったこの出力系統を複数に分け、各画素からの出力を並列で外部に読み出すことにより、より高速で画像をサンプリングすることが可能になる。

しかし、出力系を複数に分けると、回路面積の増大と共に、出力系統間のばらつきが問題となってくる。特に、ペイヤ方式でカラーコーディングした際に、RG行のGとGB行のGが、処理系の違いによってゲイン差を持つと横筋となって表れる恐れがある。具体的には、図13で説明した通りである。

これに対し、本発明の第3実施例では、図5に示すように、斜め2画素でリセット、增幅トランジスタ、リセット信号配線、全面選択信号配線を共有した場合を考えると、図7に示すように、R同士が同じ画素出力線から出力されるため、G画素からの出力を同じ出力系統で処理することができ、各行のGを同じ出力系統で取り出しつつ、従来の1出力系統方式に対し、倍の早さでサンプリングすることが可能になる。

### 【0032】

なお、この第3実施例は、2つの画素でトランジスタを共有した場合の一例であるが、共有する画素数、また、各画素が1画素分未満ずれて配置されていた場合等にも適用可能であり、もちろん、図8や図11に示した画素構造、あるいはその他の画素構造に対しても適用可能な手法である。

**【0033】**

以上のような本発明の各実施例によれば、以下のような効果を得ることができ  
る。

**(第1実施例)**

画素間でトランジスタを共有化し、さらに信号線に全面駆動配線を用いること  
により、1画素あたりのトランジスタ数、信号配線数を大幅に減らすことができ  
、さらなる画素サイズの縮小が望める。

**【0034】****(第2実施例)**

さらに、画素間でトランジスタの共有化を行った場合の懸念点、つまり、形状  
の異なる画素を用いることによって発生する同色でフィルタリングされた画素間  
での特性差に関して、単位セルの配置の仕方を変えることにより、同色でフィル  
タリングされた画素に全て同形状の画素を用いることで解決できる。

なお、具体的には、ベイヤ方式でフィルタリングされた撮像面に対し、列方向  
に並ぶ2画素でトランジスタを共有するタイプの単位セルを列毎に1画素分ずつ  
上下にずらしたものについて説明したが、もちろん、単位セルの配置の仕方を工  
夫することにより、同色でフィルタリングされる画素に同形状のものを用いると  
いう手法自体は他のカラーフィルタリング、画素構造においても適用可能な手法  
である。また、構造によっては、単位セルの配置の仕方をちょうど1画素分きっ  
ちりではなく、1画素未満ずらす方が適当な場合も考えられる。

**【0035】****(第3実施例)**

ベイヤ方式でフィルタリングされた撮像面内の各画素から出力系統を2つに分  
けて読み出す場合、通常の画素構成では、同色でフィルタリングされた画素間（  
RG行のG画素とGB行のG画素）で出力系統が分かれてしまうため、出力系統  
間のばらつきによる影響を受け、横筋の発生する可能性があり、画素間トランジ  
スタ共有化を上下の2画素で行った場合も同様であるが、本実施例では、画素間  
トランジスタ共有化を斜めの2画素で行うことにより、Gr、Gb画素からの出  
力を同一の出力系統で読み出すことができる。そのため、出力系統間でプロセス

上のばらつきが発生しても、その影響を受けずに、1つの出力系統で読み出す場合に対して、倍の速度でサンプリングすることが可能になる。

### 【0036】

#### 【発明の効果】

以上説明したように本発明の固体撮像装置では、画素間トランジスタの共有化、全面選択信号配線の使用により、1画素あたりのトランジスタ数、信号配線数を減らすことができ、画素サイズの縮小化が可能になる。

また、画素間トランジスタ共有化での懸念点である、異なる形状の画素間の特性差や2出力系統間でのゲイン差に対しても、単位セルの配置や斜め2画素間の共有等の工夫によって、画素間、特にGでフィルタリングされた画素からの信号の特性差を抑えることができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施例による画素構造を示す回路図である。

##### 【図2】

図1に示す画素構造を適用した固体撮像装置の構成を示す回路図である。

##### 【図3】

図1に示す画素構造において画素から信号の読み出しを行う際の各駆動信号の様子を示すタイミングチャートである。

##### 【図4】

本発明の第2実施例による固体撮像装置の構成を示す回路図である。

##### 【図5】

本発明の第3実施例による画素構造を示す回路図である。

##### 【図6】

図5に示す画素構造で1系統の出力部に信号を読み出す場合の動作例を示す説明図である。

##### 【図7】

図5に示す画素構造で2系統の出力部に信号を読み出す場合の動作例を示す説明図である。

**【図8】**

従来の第1の画素構造を有する固体撮像装置の構成を示す回路図である。

**【図9】**

図8に示す画素構造における駆動例を示すタイミングチャートである。

**【図10】**

従来の第2の画素構造を示す回路図である。

**【図11】**

従来の第3の画素構造を示す回路図である。

**【図12】**

従来の2系統出力を有する固体撮像装置の構成を示す回路図である。

**【図13】**

図12に示す固体撮像装置における信号読み出し動作を示す説明図である。

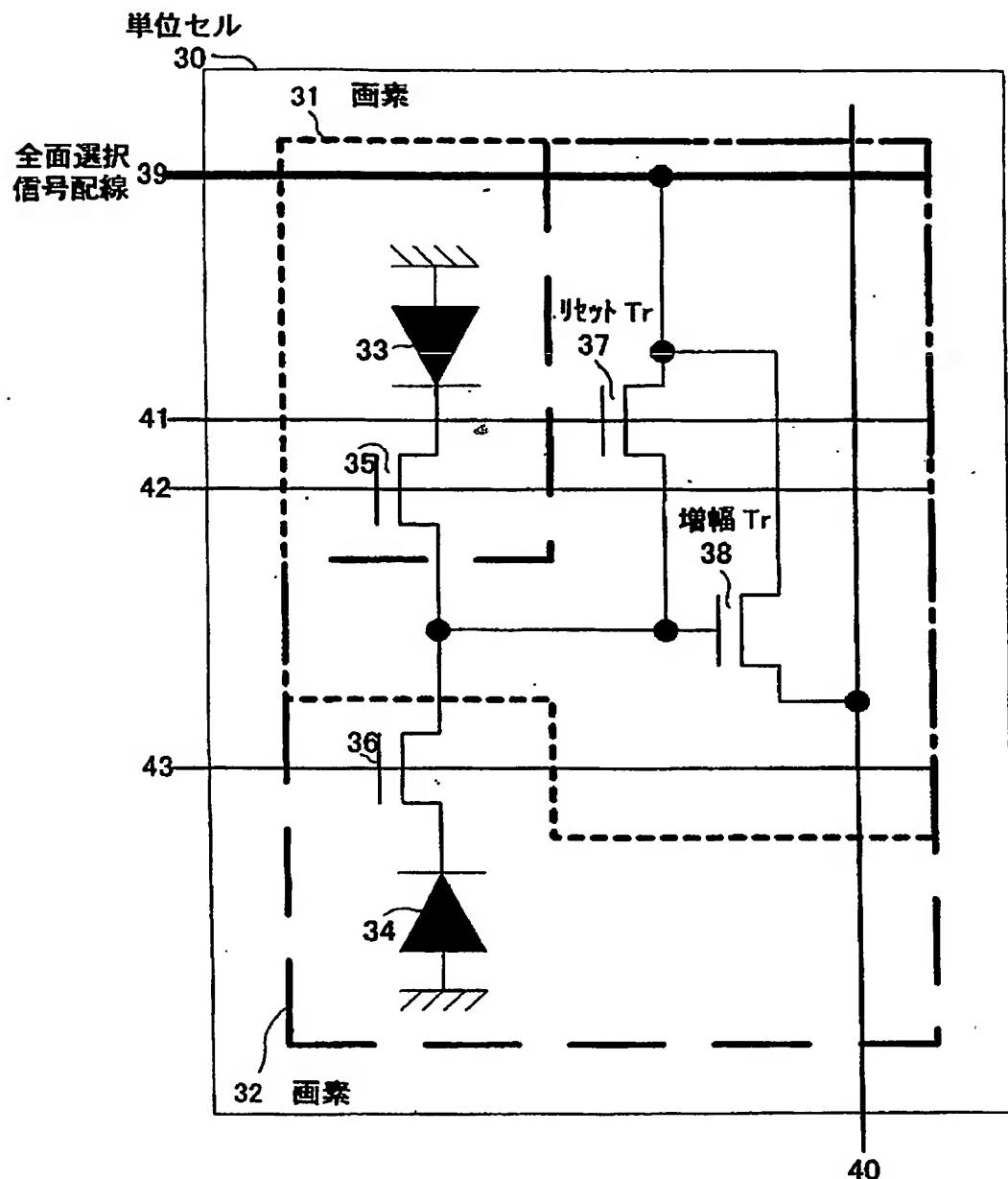
**【符号の説明】**

30………単位セル、31、32………画素、33、34………光電変換素子、35  
、36………転送トランジスタ、37………リセットトランジスタ、38………増幅ト  
ランジスタ、39………全面選択信号配線、40………信号線、41………リセット信  
号配線、42………信号線、43………信号線。

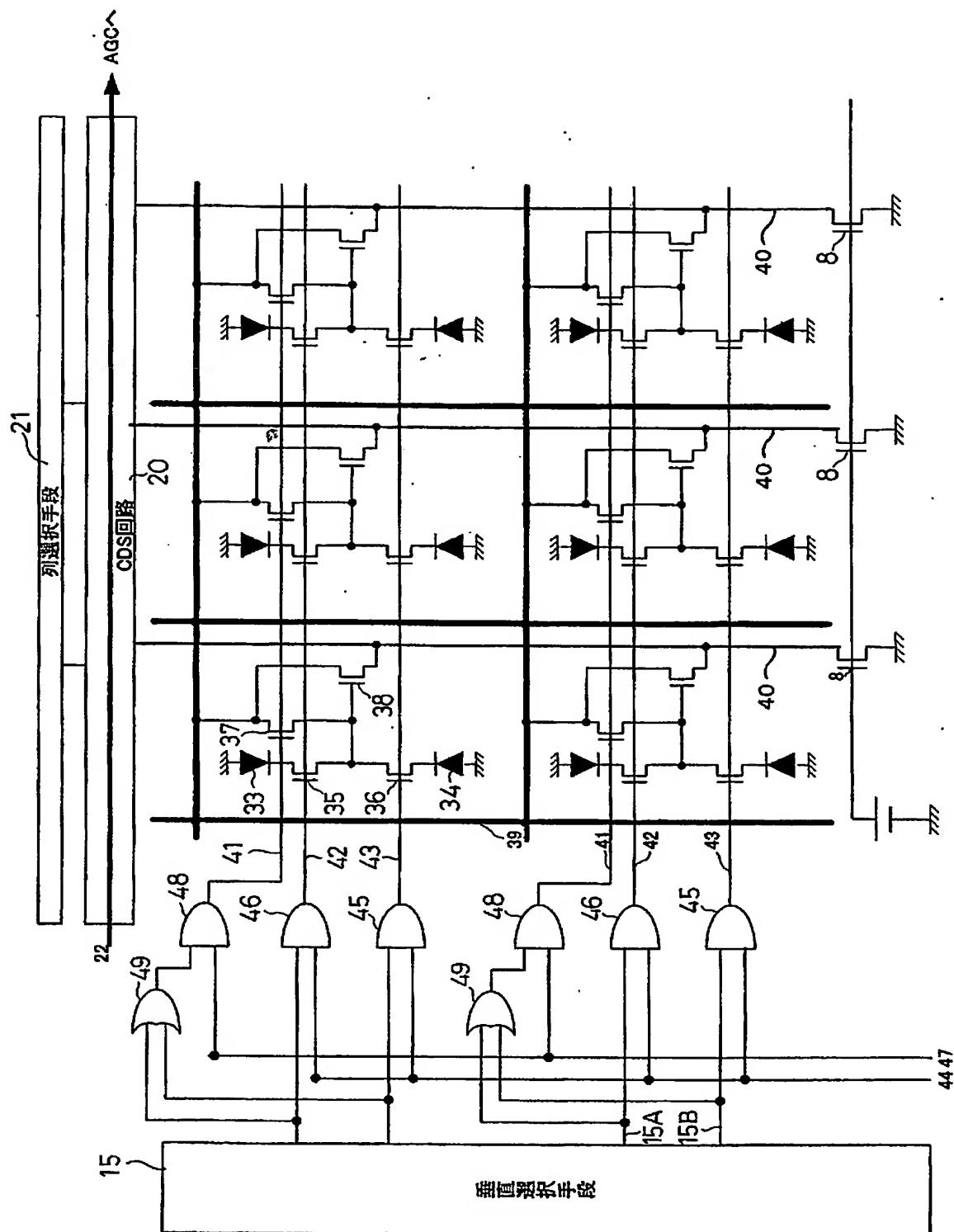
【書類名】

図面

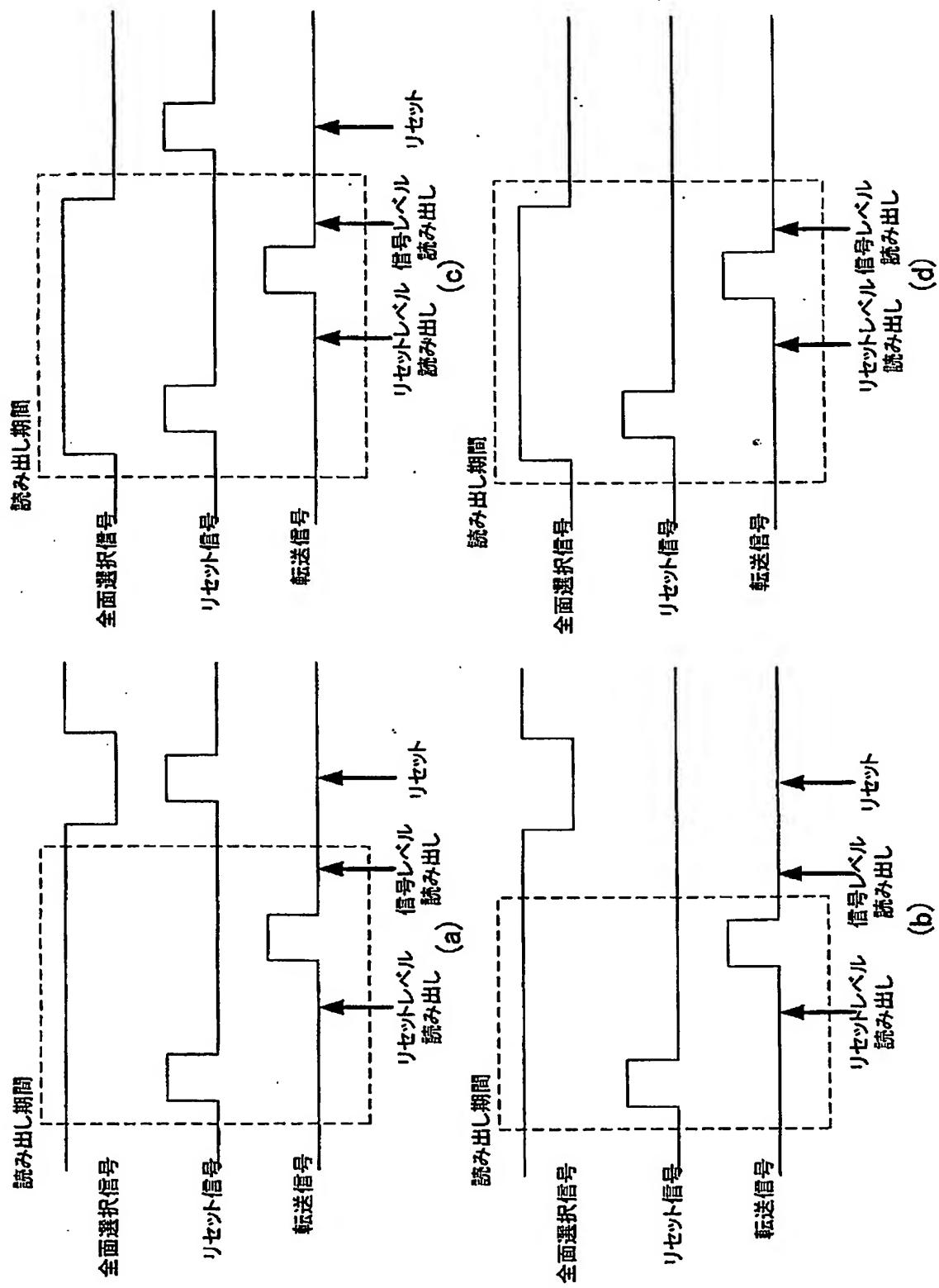
【図1】



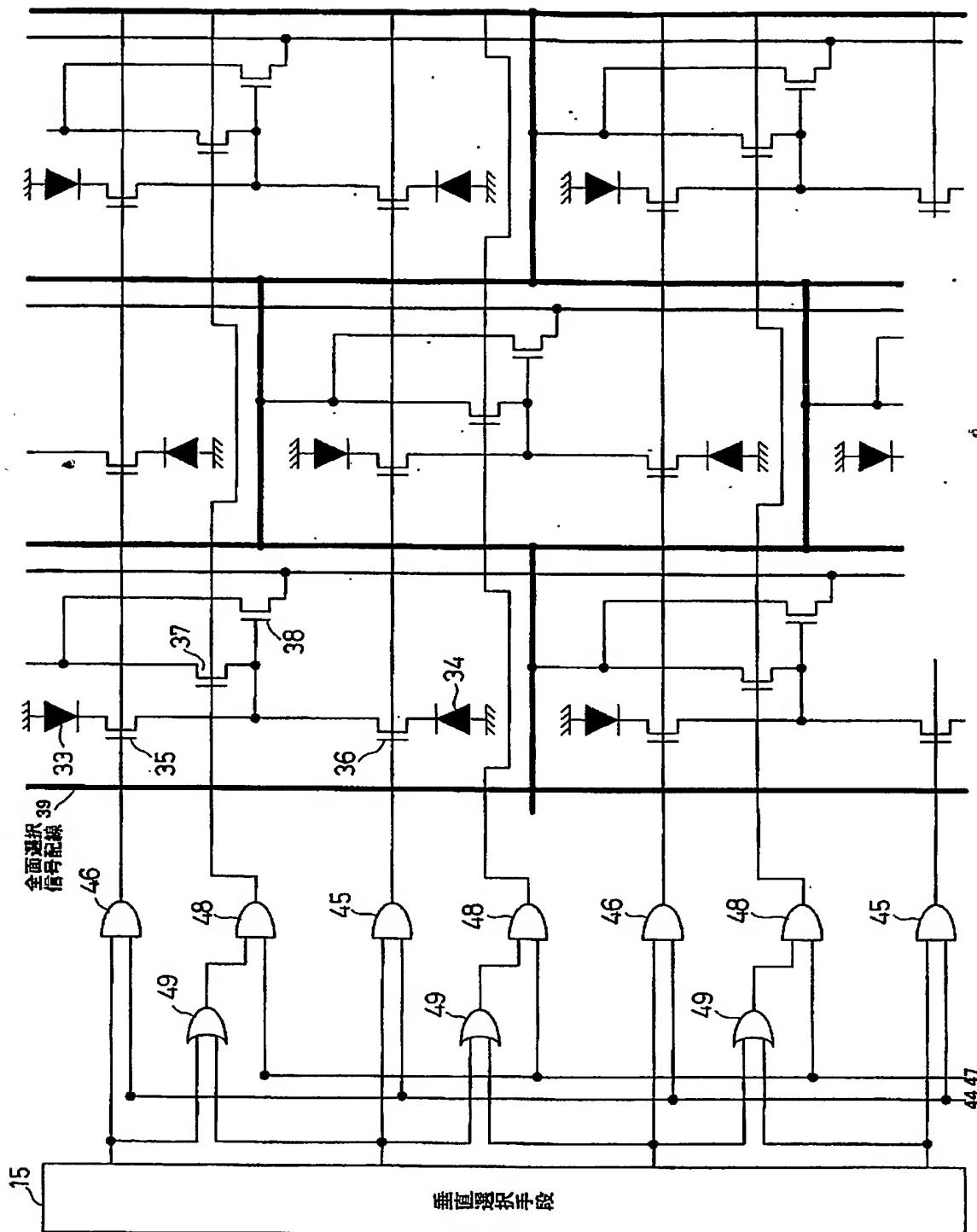
【図2】



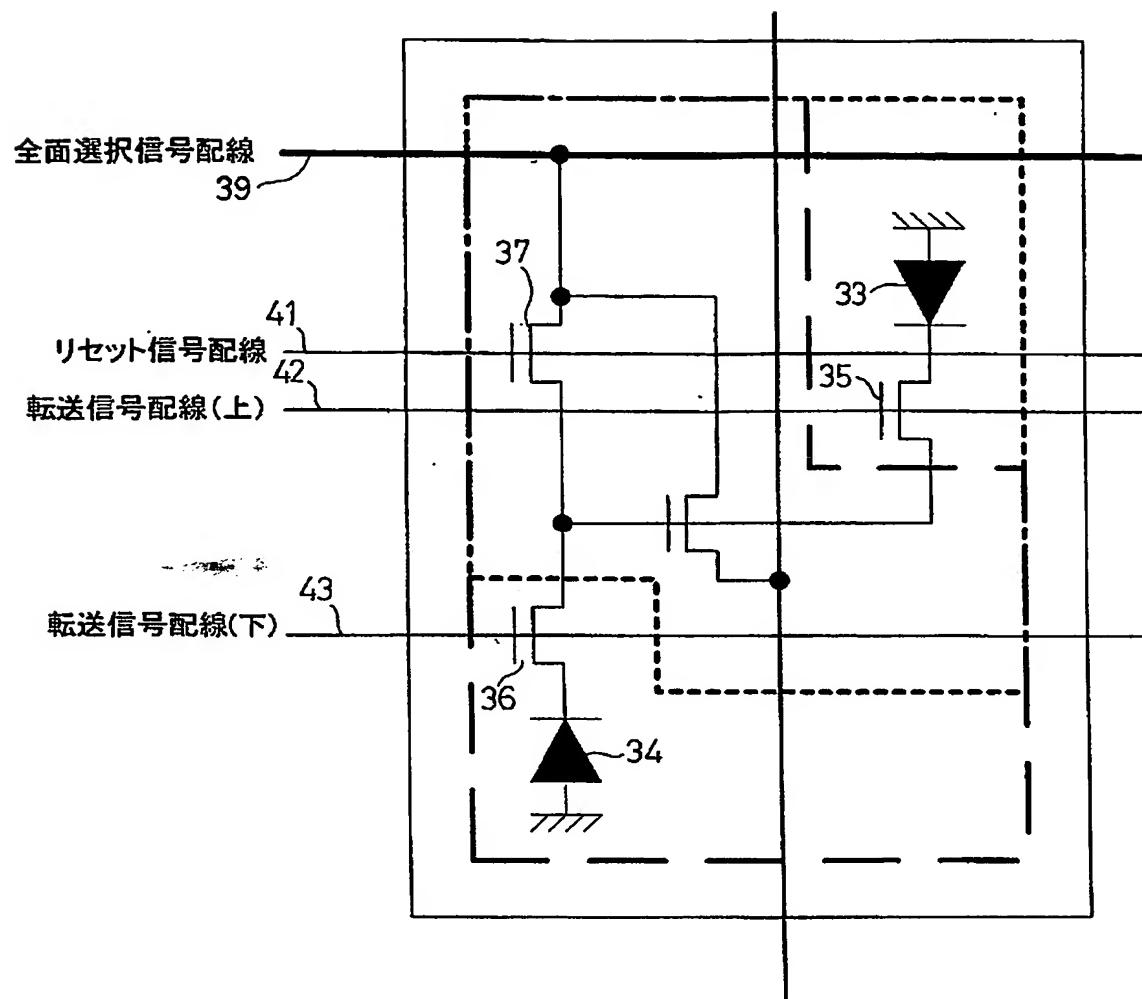
【図 3】



【図4】



【図 5】



【図6】

-R	-G	-R	-Gr	-R	-Gr	-R	-Gr
Gb	B	Gb	B	Gb	B	Gb	B
R	Gr	R	Gr	R	Gr	R	Gr
Gb	B	Gb	B	Gb	B	Gb	B

n行目の読み出し

R	Gr	R	Gr	R	Gr	R	Gr
Gb	-B	Gb	-B	Gb	-B	Gb	-B
R	Gr	R	Gr	R	Gr	R	Gr
Gb	B	Gb	B	Gb	B	Gb	B

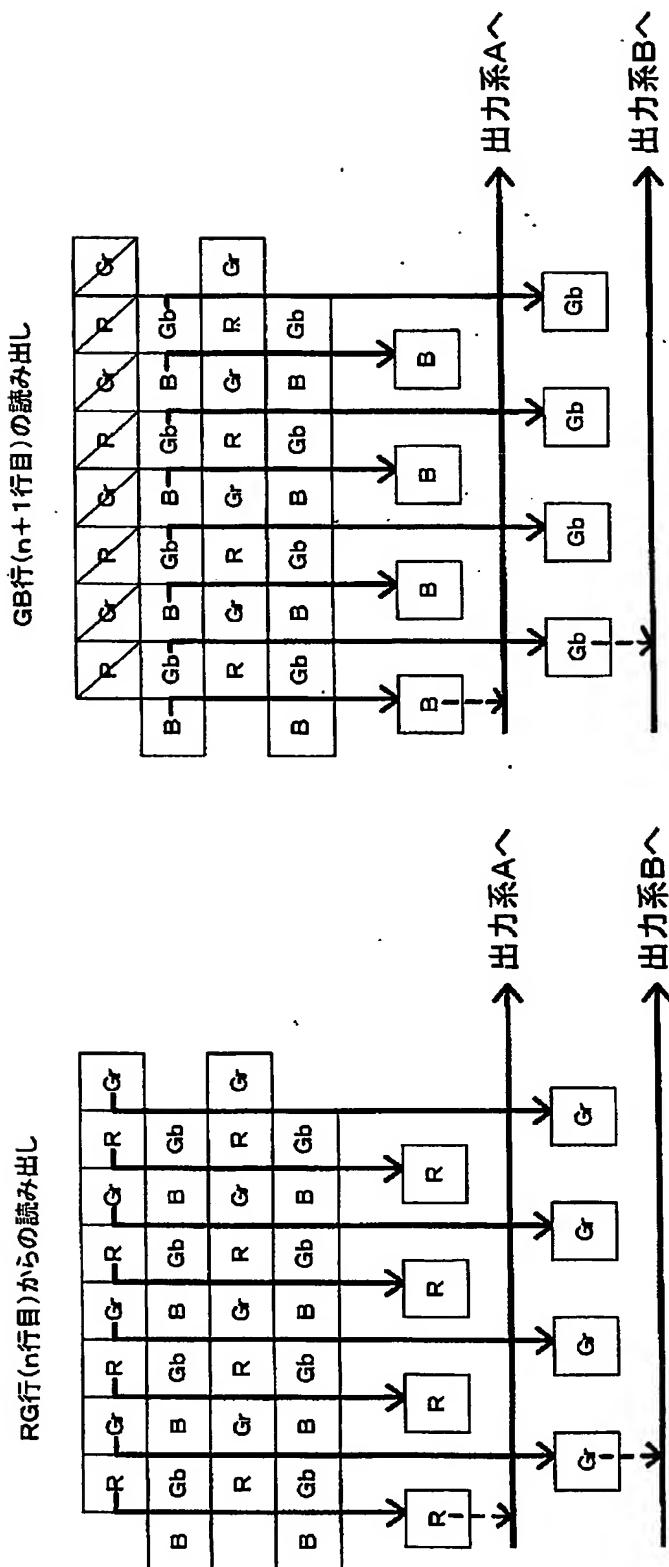
n+1行目の読み出し

R	Gr	R	Gr	R	Gr	R	Gr
B-	Gb	-B	Gb	-B	Gb	-B	Gb
R	Gr	R	Gr	R	Gr	R	Gr
Gb	B	Gb	B	Gb	B	Gb	B

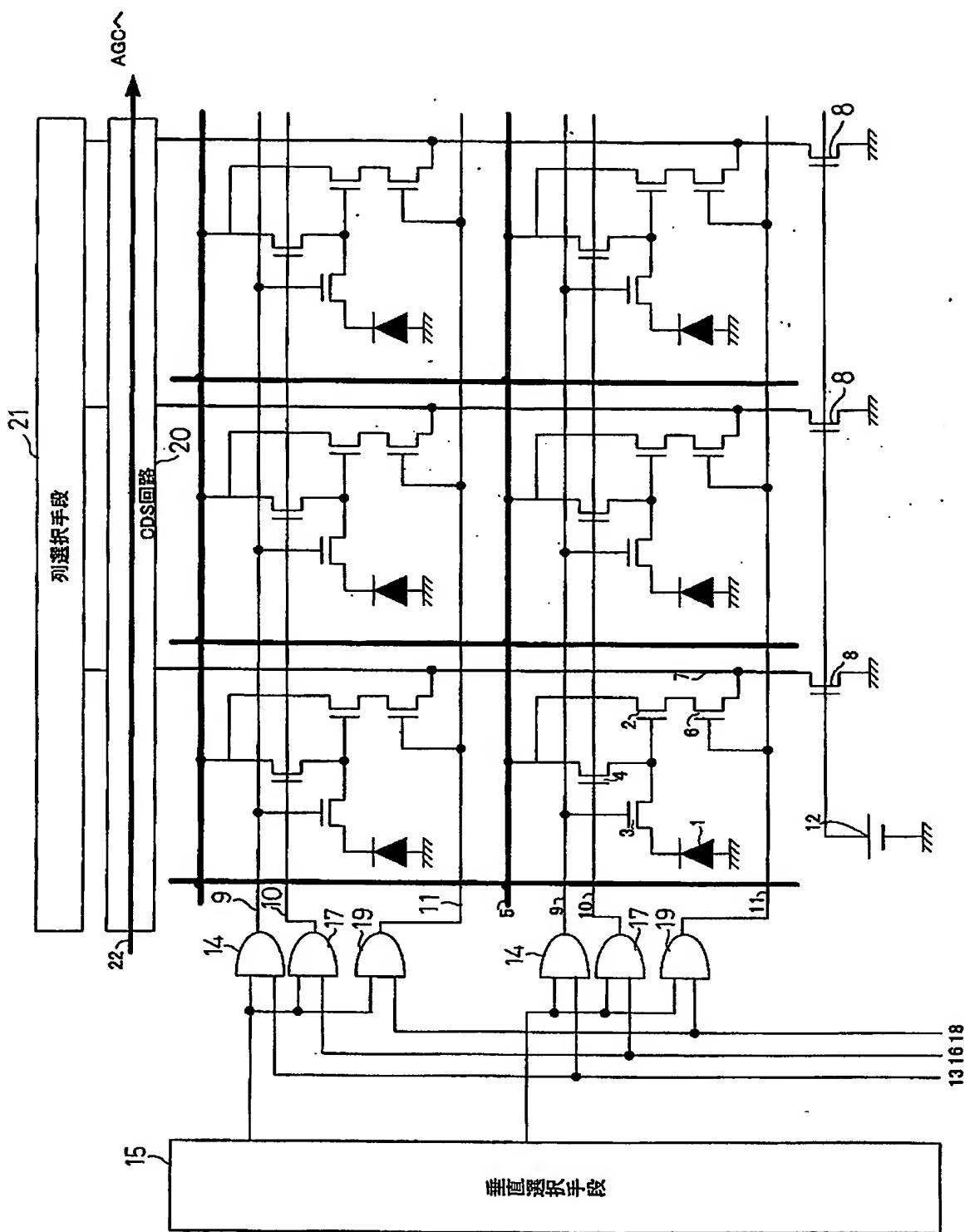
(a)通常の画素の読み出し

(b)斜め2画素共有型画素の読み出し

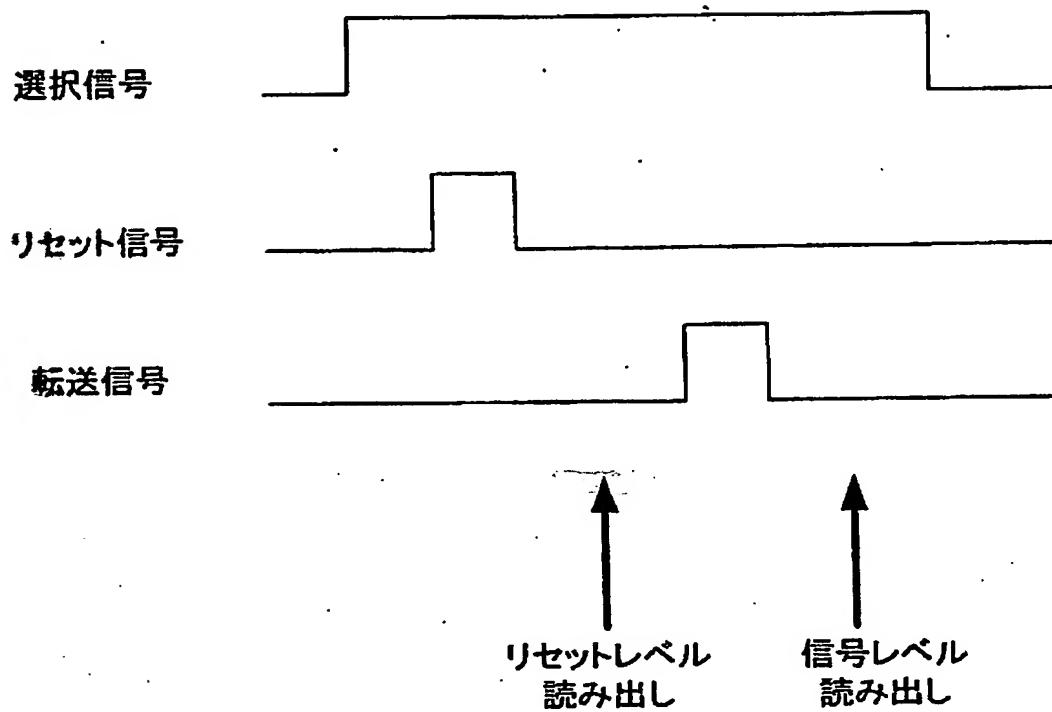
【図 7】



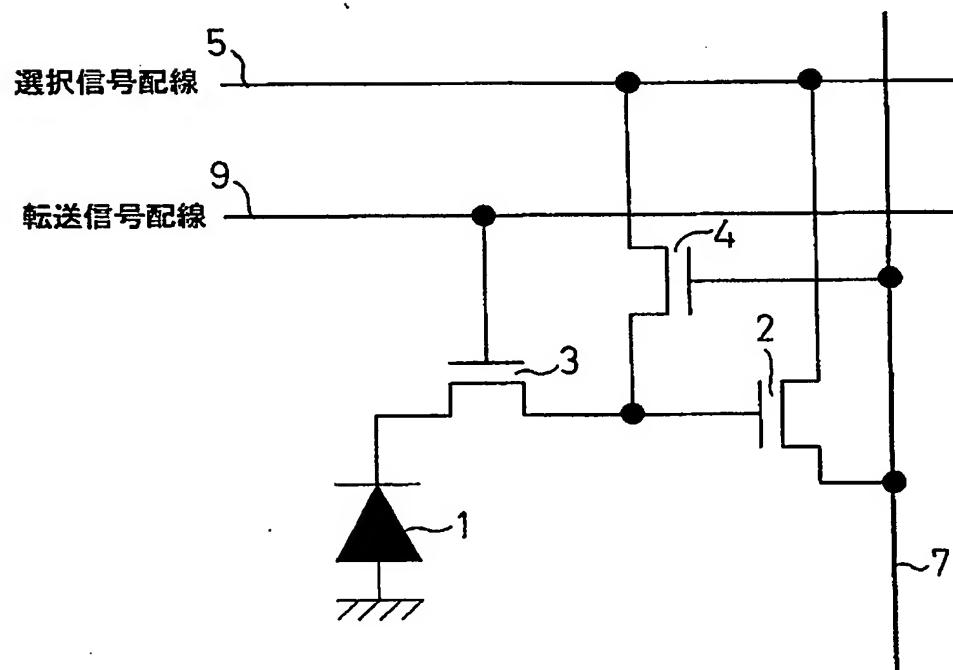
【図8】



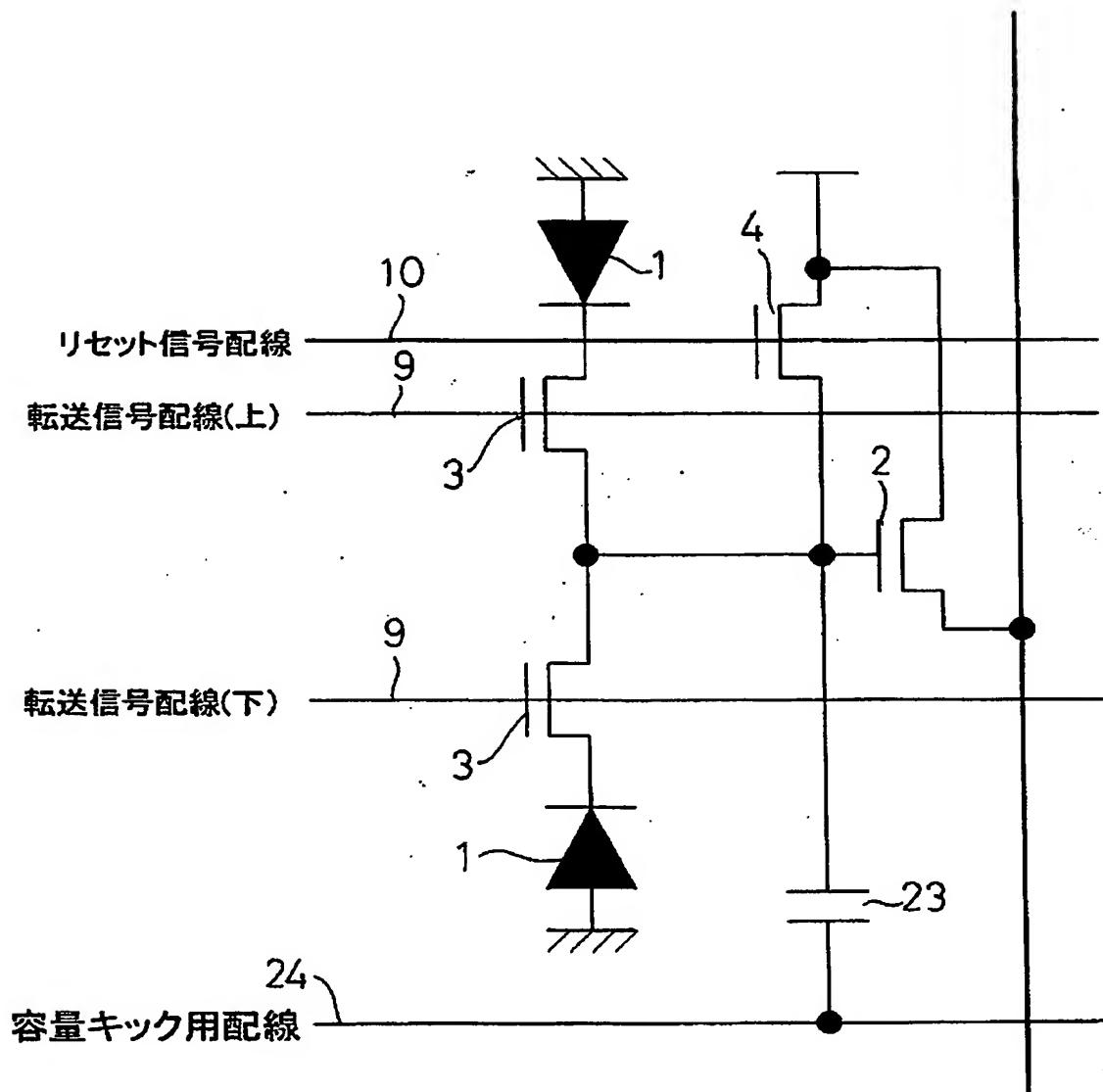
【図 9】



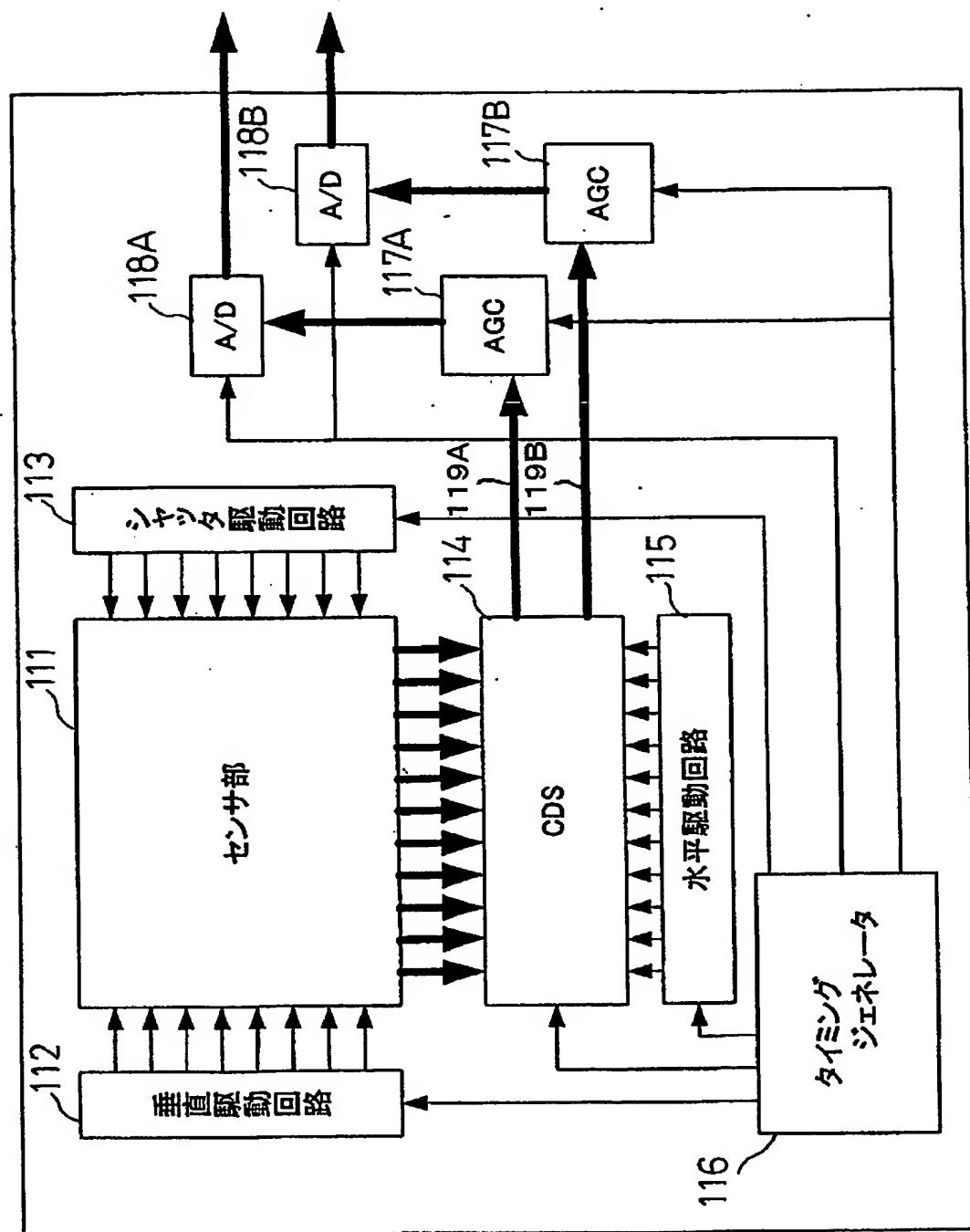
【図 10】



【図 11】

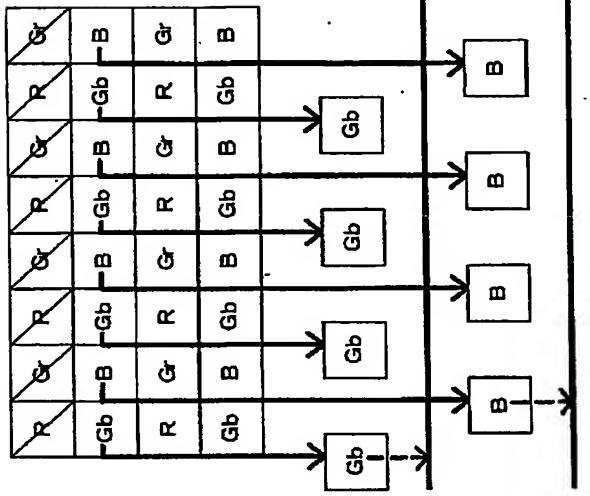


【図12】

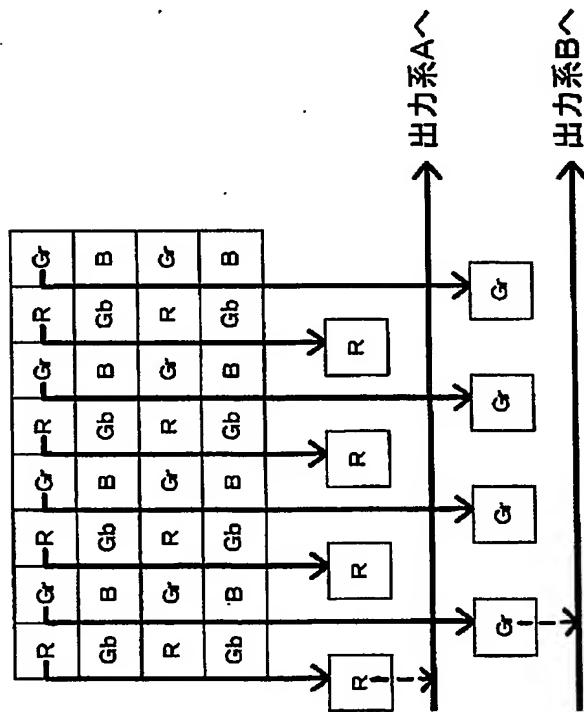


【図13】

GB行(n+1行目)の読み出し



RG行(n行目)からの読み出し



【書類名】 要約書

【要約】

【課題】 画素構成の簡素化によって画素の縮小を図ることができ、また複数系統の出力構成とした場合の画素間のばらつきを抑制できる固体撮像装置を提供する。

【解決手段】 単位セル30は2つの画素31、32を含み、上下2つの光電変換素子33、34と、それぞれに転送トランジスタ35、36と、1つのリセットトランジスタ37と、1つの増幅トランジスタ38で2つの画素31、32が構成されている。そして、全面選択信号配線39は、各リセットトランジスタ37と増幅トランジスタ38のドレインに接続されており、この全面選択信号配線39を転送信号配線42、43、リセット信号配線40とともに制御して、信号の読み出し動作を行うことにより、画素配線の簡素化、画素の縮小等を実現する。

【選択図】 図1

特願2002-336252

出願人履歴情報

識別番号

[000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**